

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG(19) Weltorganisation für geistiges Eigentum
Internationales Büro(43) Internationales Veröffentlichungsdatum
18. März 2004 (18.03.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/023658 A1(51) Internationale Patentklassifikation⁷: H03M 1/00

(21) Internationales Aktenzeichen: PCT/EP2003/008323

(22) Internationales Anmeldedatum:
28. Juli 2003 (28.07.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

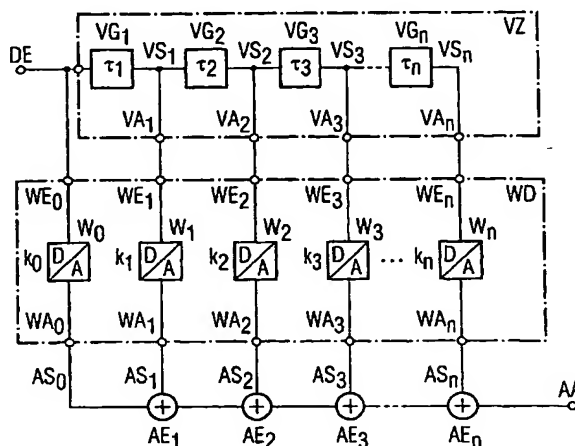
(30) Angaben zur Priorität:
02018602.9 19. August 2002 (19.08.2002) EP
102 37 856.8 19. August 2002 (19.08.2002) DE(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): SIEMENS AKTIENGESELLSCHAFT [DE/DE];
Wittelsbacherplatz 2, 80333 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): FUCHS, Armin

[DE/DE]; Hauffstr. 16, 73326 Deggingen (DE). JELON-
NEK, Björn [DE/DE]; Rohrweg 28, 89079 Ulm (DE).
WOLFF, Gunter [DE/DE]; Loherstr. 5, 89081 Ulm (DE).(74) Gemeinsamer Vertreter: SIEMENS AKTIENGE-
SELLSCHAFT; Postfach 22 16 34, 80506 München
(DE).(81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT,
AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR,
CU, CZ, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH,
GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC,
LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW,
MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC,
SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.(84) Bestimmungsstaaten (regional): ARIPO-Patent (GH,
GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW),
eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ,

[Fortsetzung auf der nächsten Seite]

(54) Title: CONFIGURATION FOR THE DIGITAL-ANALOG CONVERSION OF A HIGH-FREQUENCY DIGITAL INPUT
SIGNAL INTO A CARRIER-FREQUENCY ANALOG OUTPUT SIGNAL(54) Bezeichnung: ANORDNUNG ZUR DIGITAL-ANALOG-WANDLUNG EINES HOCHFREQUENTEN DIGITALEN EIN-
GANGSSIGNALS IN EIN TRÄGERFREQUENTES ANALOGES AUSGANGSSIGNAL

(57) Abstract: The configuration for the digital-analog conversion comprises a delay device having at least one first delay element, whereby optional additional delay elements are connected downstream from the first in a serially consecutive manner. The digital input signal is connected to an input of the first delay element and is connected to an input of a first D/A converter. The first delay element is connected on the output side to an input of another D/A converted assigned thereto. The optional additional delay elements are each connected on the output side to an input of another D/A converter assigned to the respective delay element. All D/A converters are combined on the output side in a step-by-step manner so that output signals of all D/A converters form the analog output signal. A specific coefficient is assigned to each D/A converter, and a specific delay time is assigned to each delay element whereby realizing a filter characteristic.

[Fortsetzung auf der nächsten Seite]



TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht

— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) **Zusammenfassung:** Die Anordnung zur Digital-Analog-Wandlung weist eine Verzögerungseinrichtung mit mindestens einem ersten Verzögerungsglied auf, wobei gegebenenfalls weitere Verzögerungsglieder dem ersten seriell aufeinanderfolgend nachgeschaltet sind. Das digitale Eingangssignal ist einerseits an einen Eingang des ersten Verzögerungsglieds und andererseits an einen Eingang eines ersten D/A-Wandlers angeschaltet. Das erste Verzögerungsglied ist ausgangsseitig mit einem Eingang eines ihm zugeordneten weiteren D/A-Wandlers verbunden. Die gegebenenfalls weiteren Verzögerungsglieder sind jeweils ausgangsseitig mit einem Eingang eines dem jeweiligen Verzögerungsglied zugeordneten weiteren D/A-Wandlers verbunden. Alle D/A-Wandler werden ausgangsseitig stufenweise derart zusammengefasst sind, dass Ausgangssignale aller D/A-Wandler das analoge Ausgangssignal bilden. Jedem D/A-Wandler wird ein spezifischer Koeffizient und jedem Verzögerungsglied wird eine spezifische Verzögerungszeit derart zugeordnet, dass eine Filtercharakteristik realisiert wird.

Beschreibung

Anordnung zur Digital-Analog-Wandlung eines hochfrequenten digitalen Eingangssignals in ein trägerfrequentes analoges Ausgangssignal

Die Erfindung betrifft eine Anordnung zur Digital-Analog-Wandlung eines hochfrequenten digitalen Eingangssignals in ein trägerfrequentes analoges Ausgangssignal.

Es sind Architekturen zur Erzeugung eines breitbandigen, trägerfrequenten Ausgangssignals bekannt, bei denen in einem niedrigen Frequenzbereich ein digitales Eingangssignal mit Hilfe eines Digital-Analog-Wandlers in ein analoges Signal gewandelt und anschließend mit Hilfe einer oder mehrerer Mischerstufen in das trägerfrequente Ausgangssignal umgesetzt wird.

Weiterhin sind Digital-Analog-Wandler-Architekturen bekannt, bei denen aus einem hochfrequenten digitalen Eingangssignal ohne weitere Frequenzumsetzung ein trägerfrequentes Ausgangssignal erzeugt wird. Das trägerfrequente analoge Ausgangssignal weist dabei neben einer gewünschten Trägerfrequenz auch unerwünschte Trägerfrequenzen auf, die beispielsweise durch ein nichtideales digitales Eingangssignal bzw. durch verschiedene unerwünschte Modulationsmechanismen entstehen können.

Bei den beschriebenen Architekturen sind stets ausgangsseitig angeordnete, kostenintensive Filter mit einer hohen Güte bzw. Mischer mit einer hohen Linearität notwendig, die jeweils auf einen gewünschten Trägerfrequenzbereich abzustimmen sind. Bei

einem gewünschten Wechsel des Trägerfrequenzbereichs müssen diese kostenaufwändig ausgetauscht werden.

5 Es ist daher Aufgabe der vorliegenden Erfindung, eine Anordnung zur Digital-Analog-Wandlung derart auszubilden, dass sie ohne großen Aufwand auf verschiedenen Trägerfrequenzbereiche abstimmbar ist.

10 Die Aufgabe der Erfindung wird durch die Merkmale des Anspruchs 1 gelöst. Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

15 Die erfindungsgemäße Anordnung zur Digital-Analog-Wandlung weist eine integrierte Filtercharakteristik auf, wodurch ausgangsseitig kostenintensive Mischer bzw. Filter eingespart werden.

20 Sie besteht aus mehreren, parallel zueinander angeordneten D/A-Wandlern, wobei den einzelnen D/A-Wandlern jeweils spezifische Koeffizienten zugeordnet sind. Dadurch wird eine optimale Anpassung an einen gewünschten Trägerfrequenzbereich ermöglicht.

25 Die erfindungsgemäße Anordnung ist auf verschiedene Trägerfrequenzbereiche abstimmbar, indem die Taktfrequenz der D/A-Wandler entsprechend geändert wird.

30 Erfindungsgemäß wird durch Wahl der den D/A-Wandlern spezifisch zugeordneten Koeffizienten und der den Verzögerungsgliedern spezifisch zugeordneten Verzögerungszeiten besonders bevorzugt eine FIR-Filtercharakteristik realisiert bzw. in der Anordnung integriert. Die aufeinanderfolgenden Koeffizienten entsprechen einer Abtastung einer Impulsantwort von

einem Filter, das eine gewünschte Filtercharakteristik aufweist. Dadurch weist das trägerfrequente Ausgangssignal vergleichend zu einer Realisierungsform ohne Filtercharakteristik eine höhere spektrale Reinheit auf.

5

Die erfindungsgemäß integrierte FIR-Filtercharakteristik ist mit Hilfe einer Taktfrequenz eines Taktsignals skalierbar. Diese kann von der Taktfrequenz der A/D-Wandler abgeleitet oder mit ihr identisch sein. Da sich die Taktfrequenz meist proportional mit der Trägerfrequenz ändert, erfolgt bei der vorliegenden Erfindung die Anpassung der Filtercharakteristik automatisch.

Bei einer Änderung des gewünschten Trägerfrequenzbereichs wird die FIR-Filtercharakteristik über die Taktfrequenz entsprechend neu eingestellt. Ein Austausch von Hardware-Komponenten entfällt.

Entsprechen die Genauigkeit und die Anzahl der FIR-Filterkoeffizienten den Anforderungen eines neuen Mobilfunkstandards, so ist ein direktes Umschalten des Frequenzbereiches über die Taktfrequenz möglich, wobei das Umschalten mit Hilfe von Software realisierbar wäre.

Die erfindungsgemäße Anordnung ermöglicht für beliebige Trägerfrequenzbereiche, den Filteraufwand durch Vorfilterung erheblich zu minimieren. Zusammen mit einer entsprechenden Leistungsendstufe wird ein senderseitiger Verzicht auf frequenzspezifische Filter hoher Güte ermöglicht.

30

Mit Hilfe der erfindungsgemäßen Anordnung ist insbesondere ein durch $\Sigma\Delta$ -Wandler geformtes Quantisierungsrauschen des Eingangssignals leicht zu unterdrücken.

Die Filterfunktion der erfindungsgemäßen Anordnung ist durch die Signalform, die jeder D/A-Wandler pro Datum oder Bit ausgibt, beeinflussbar. Mit Hilfe einer geeigneten Signalform, wie beispielsweise Mehrfachpulsen, die aus mehreren Pulsen pro Datum bestehen, ist die Filterfunktion gezielt zu verbessern.

Im Folgenden wird ein Ausführungsbeispiel der Erfindung anhand einer Zeichnung näher erläutert. Dabei zeigt:

FIG 1 ein Blockschaltbild einer erfindungsgemäßen Anordnung zur Digital-Analog-Wandlung, und

FIG 2 vergleichend mit FIG 1 ein Ausführungsbeispiel einer erfindungsgemäßen Anordnung zur Digital-Analog-Wandlung.

FIG 1 zeigt ein Blockschaltbild einer erfindungsgemäßen Anordnung zur Digital-Analog-Wandlung.

Ein hochfrequentes digitales Eingangssignal DE gelangt einerseits an eine Verzögerungseinrichtung VZ und andererseits an eine Wandlungseinrichtung WD.

Die Verzögerungseinrichtung VZ weist n seriell aneinandergeschaltete Verzögerungsglieder $VG_1, VG_2, VG_3, \dots, VG_n$ auf, denen jeweils eine spezifische Verzögerungszeit $\tau_1, \tau_2, \tau_3, \dots, \tau_n$ zugeordnet ist. Jedes einzelne der Verzögerungsglieder VG_1 bis VG_n ist ausgangsseitig mit jeweils einem Ausgang $VA_1, VA_2, VA_3, \dots, VA_n$ der Verzögerungseinrichtung VZ verbunden. Über jeden dieser Ausgänge VA_1 bis VA_n gelangt ein diesem jeweils zugeordnetes, vom jeweiligen Verzögerungsglied VG_1 bis VG_n gebildetes Verzögerungssignal $VS_1, VS_2, VS_3, \dots,$

VS_n an jeweils einen Eingang WE₁, WE₂, WE₃, ..., WE_n der Wandlungseinrichtung WD.

Die Wandlungseinrichtung WD weist insgesamt n+1 D/A-Wandler
5 W₀, W₁, ..., W_n auf, die zueinander parallel angeordnet sind.

Ein erster D/A-Wandler W₀ erhält als Eingangssignal das digitale Eingangssignal DE über einen Eingang WE₀ der Wandlungseinrichtung WD. Die anderen n D/A-Wandler erhalten über entsprechend zugeordneten Eingänge WE₁ bis WE_n die Verzögerungssignale VS₁ bis VS_n als Eingangssignal.
10

Jedem einzelnen der n+1 D/A-Wandler WE₀ bis WE_n der Wandlungseinrichtung WD ist jeweils ein spezifischer Koeffizient
15 k₀, k₁, ..., k_n zugeordnet.

Die einzelnen D/A-Wandler W₀ bis W_n sind ausgangsseitig, beispielsweise mit Hilfe von n Addiereinrichtungen AE₁, AE₂, ..., AE_n, zusammengefasst. Mit Hilfe der Addiereinrichtungen
20 AE₁ bis AE_n werden n+1 Ausgangssignale AS₀, AS₁, ..., AS_n der n+1 D/A-Wandler zu einem trägerfrequenten analogen Ausgangssignal AA addiert.

Zu beachten ist, dass die digitalen Eingangssignale DE und
25 VS₁ bis VS_n bei der D/A-Wandlung in den jeweiligen D/A-Wandlern W₀ bis W_n mit den jeweils zugeordneten Koeffizienten k₀ bis k_n gewichtet werden.

Diese Koeffizienten k₀ bis k_n der D/A-Wandler W₀ bis W_n und
30 die Verzögerungszeiten τ_1 bis τ_n der Verzögerungsglieder VG₁ bis VG_n werden dabei derart festgelegt, dass die erfindungsgemäße Anordnung zur Digital-Analog-Wandlung eine gewünschte FIR-Filtercharakteristik aufweist.

FIG 2 zeigt vergleichend mit FIG 1 ein Ausführungsbeispiel einer erfindungsgemäßen Anordnung zur Digital-Analog-Wandlung.

5

Die einzelnen D/A-Wandler W_0 bis W_n sind als 1Bit-D/A-Wandler und die Verzögerungsglieder VG_1 bis VG_n als D-Latch realisiert. Sowohl die D/A-Wandler W_0 bis W_n als auch die Verzögerungsglieder VG_1 bis VG_n sind mit einem Taktsignal CLK getaktet.

10

Am D-Eingang eines ersten D-Latch bzw. eines ersten Verzögerungsglieds VG_1 ist das digitale Eingangssignal DE angeschaltet. Ausgangsseitig ist das erste Verzögerungsglied VG_1 über seinen Q-Ausgang mit einem D-Eingang des nächsten Verzögerungsglieds VG_2 verbunden, usw.

15

Durch das Taktsignal CLK entsprechen die den einzelnen Verzögerungsgliedern VG_1 bis VG_n zugeordneten spezifischen Verzögerungszeiten τ_1 bis τ_n , wie hier dargestellt, einer halben Taktperiode des Taktsignals CLK, das ebenfalls an den D/A-Wandlern W_0 bis W_n anliegt. Jedes einzelne Verzögerungsglied bzw. D-Latch verzögert um jeweils eine halbe Taktperiode.

20

Für die Verzögerungsglieder VG_1 bis VG_n sind jedoch auch kleinere Teile der Taktperiode des Taktsignals CLK verwendbar. Dadurch wird eine feinere Anpassung an eine Impulsantwort einer gewünschten Filtercharakteristik ermöglicht. Dadurch wird wiederum die Nyquistfrequenz der Filtercharakteristik vervielfacht und der Alias-Effekt unterdrückt.

30

Die jeweils den einzelnen D/A-Wandlern W_0 bis W_n zugeordneten Koeffizienten k_0 bis k_n werden mit Hilfe von Referenzstrom-

quellen $k_i \cdot I_{ref}$ (mit $i=0$ bis n) eingestellt, die die Größe der Ausgangssignale AS_0 bis AS_n bestimmen.

Sind zur Realisierung der FIR-Filtercharakteristik negative
5 Faktoren bei den Koeffizienten k_0 bis k_n erforderlich, so werden entsprechende Ausgänge bei den betroffenen D/A-Wandlern vertauscht.

Beispielhaft ist dies für die Koeffizienten k_2 und k_n ge-
10 zeigt. Vergleichend mit dem D/A-Wandler W_1 wurden bei den entsprechenden D/A-Wandlern W_2 und W_n die Anschlüsse für die Ausgänge ausgetauscht - siehe jeweils Detail D.

Die Ausgangssignale AS_0 bis AS_n der D/A-Wandler W_0 bis W_n
15 werden zeitgleich aufsummiert und bilden das analoge Ausgangssignal AA .

Das hochfrequente digitale Eingangssignal DE kann bei der vorliegenden Erfindung auch breitbandig ausgestaltet sein.

Patentansprüche

1. Anordnung zur Digital-Analog-Wandlung eines hochfrequenten digitalen Eingangssignals (DE) in ein trägerfrequentes analoges Ausgangssignal (AA),
- 5 - bei der eine Verzögerungseinrichtung (VZ) mindestens ein erstes Verzögerungsglied (VG1) aufweist und weitere Verzögerungsglieder (VG2,...,VGn) dem ersten seriell aufeinanderfolgend nachgeschaltet sind,
- 10 - bei der das digitale Eingangssignal (DE) einerseits an einen Eingang des ersten Verzögerungsglieds (VG1) und andererseits an einen Eingang eines ersten D/A-Wandlers (W0) angeschaltet ist,
- 15 - bei der das erste Verzögerungsglied (VG1) ausgangsseitig mit einem Eingang eines ihm zugeordneten weiteren D/A-Wandlers (W1) verbunden ist und gegebenenfalls jedes weitere Verzögerungsglied (VG2,...,VGn) ausgangsseitig mit einem Eingang eines dem jeweiligen Verzögerungsglied (VG2,...,VGn) zugeordneten weiteren D/A-Wandlers
- 20 (W2,...,Wn) verbunden ist,
- bei der alle D/A-Wandler (W0,...,Wn) ausgangsseitig stufenweise derart zusammengefasst sind, dass Ausgangssignale (AS0,...,ASn) aller D/A-Wandler (W0,...,Wn) das analoge Ausgangssignal (AA) bilden, und
- 25 - bei der jedem D/A-Wandler (W0,...,Wn) ein spezifischer Koeffizient (k_0, \dots, k_n) und jedem Verzögerungsglied (VG1,...,VGn) eine spezifische Verzögerungszeit (τ_1, \dots, τ_n) zur Realisierung einer Filtercharakteristik zugeordnet sind.

2. Anordnung nach Anspruch 1, bei der an jedem einzelnen D/A-Wandler (W_0, \dots, W_n) ein identisches Taktsignal (CLK) angeschaltet ist.

5

3. Anordnung nach Anspruch 2, bei der die den Verzögerungsgliedern (VG_1, \dots, VG_n) spezifisch zugeordneten Verzögerungszeiten (τ_1, \dots, τ_n) einer vollen Taktperiode oder einer Teiltaktperiode des Taktsignals (CLK) entsprechen.

10

4. Anordnung nach einem der vorhergehenden Ansprüche, bei der die spezifischen Koeffizienten (k_0, \dots, k_n) und die spezifischen Verzögerungszeiten (τ_1, \dots, τ_n) derart gewählt sind, dass eine FIR-Filtercharakteristik realisiert wird.

15

5. Anordnung nach einem der vorhergehenden Ansprüche, bei der die Verzögerungsglieder (VG_1, \dots, VG_n) als mit dem Taktsignal (CLK) getaktete D-Latch ausgebildet sind.

20 6. Anordnung nach einem der vorhergehenden Ansprüche, bei der die D/A-Wandler (W_0, \dots, W_n) als 1Bit-D/A-Wandler ausgebildet sind.

25 7. Anordnung nach einem der vorhergehenden Ansprüche, bei der die D/A-Wandler (W_0, \dots, W_n) ausgangsseitig mittels Addiereinrichtungen (AE_1, \dots, AE_n) zusammengefasst sind.

30 8. Anordnung nach einem der vorhergehenden Ansprüche, bei der die den Verzögerungsgliedern (VG_1, \dots, VG_n) zugeordneten Verzögerungszeiten (τ_1, \dots, τ_n) gleich sind.

9. Anordnung nach einem der vorhergehenden Ansprüche, bei der die Ausgangssignale (AS_0, \dots, AS_n) der D/A-Wandler (W_0, \dots, W_n) zur Verbesserung der Filterfunktion jeweils eine Mehrfachpulsfolge aufweisen.

5

10. Anordnung nach einem der vorhergehenden Ansprüche, bei der das digitale Eingangssignal (DE) breitbandig ist.

10

1/2

FIG 1

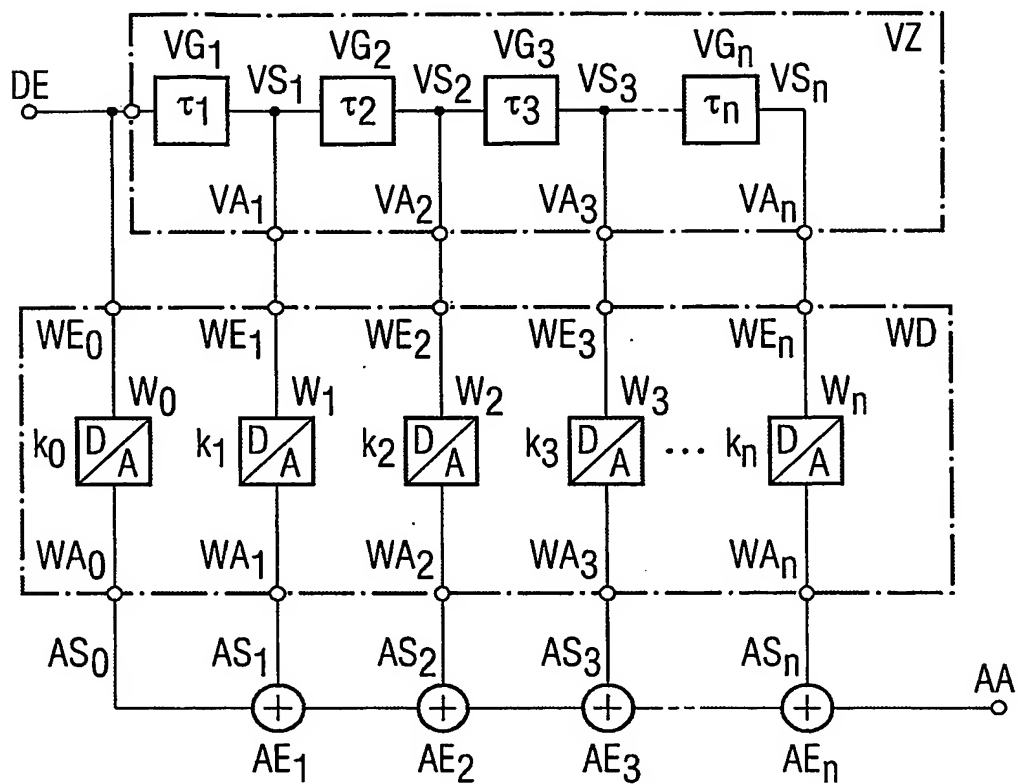
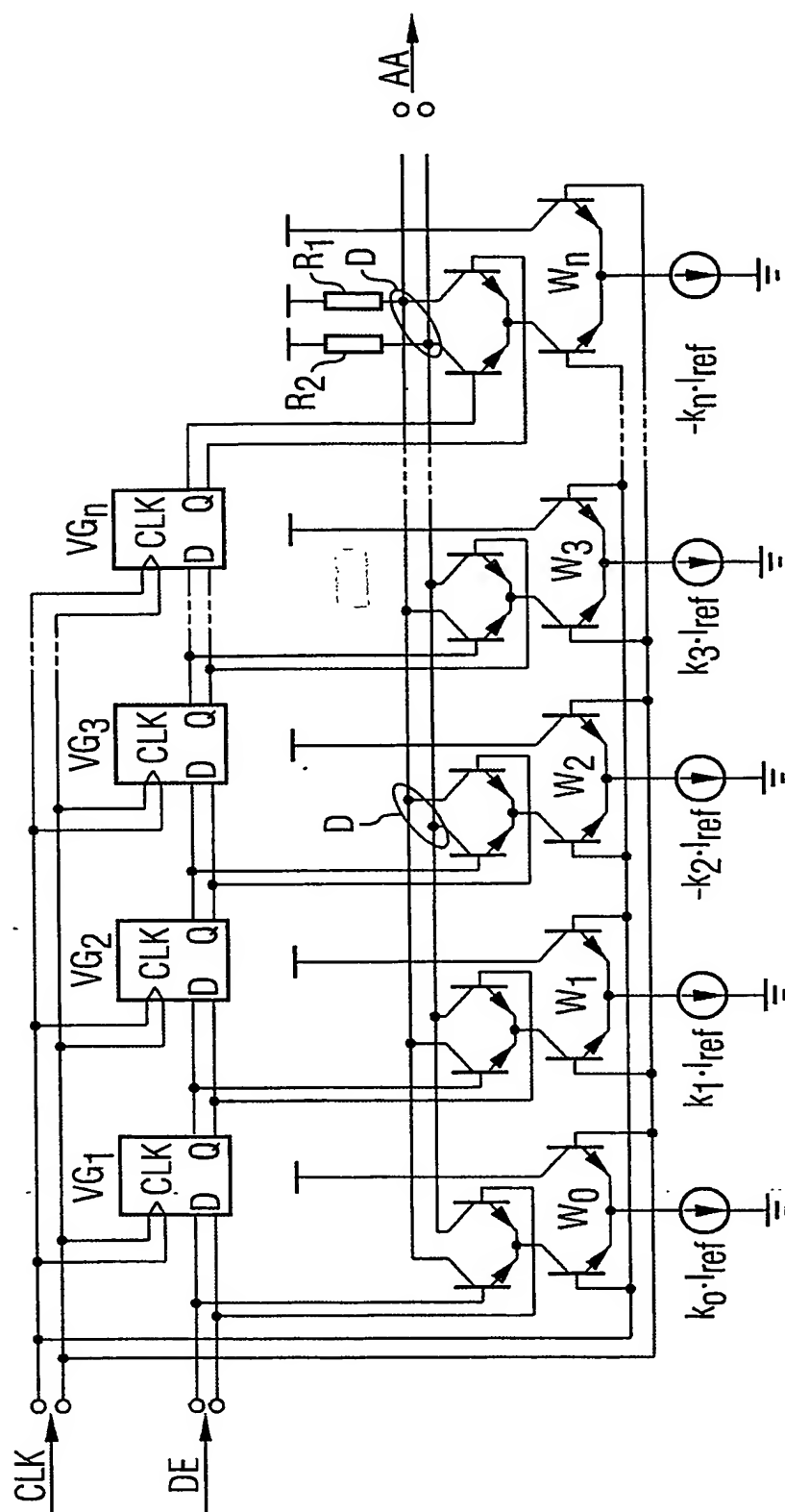


FIG 2



INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 03/08323

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H03M1/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category * | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|------------|---|-----------------------|
| X | JANSSON C ET AL: "A 1-MHz and 16-bit /spl Sigma//spl Delta/ DAC with a 224th-order reconstruction FIR-filter using only 9 nonzero taps" ASIC CONFERENCE AND EXHIBIT, 1994. PROCEEDINGS., SEVENTH ANNUAL IEEE INTERNATIONAL ROCHESTER, NY, USA 19-23 SEPT. 1994, NEW YORK, NY, USA, IEEE, 19 September 1994 (1994-09-19), pages 29-32, XP010140531 ISBN: 0-7803-2020-4 figure 5A | 1-10 |
| X | US 5 323 157 A (IRWIN JAMES S ET AL) 21 June 1994 (1994-06-21) figure 3 | 1-10 |

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

*** Special categories of cited documents :**

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search

18 December 2003

Date of mailing of the international search report

14/01/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3016

Authorized officer

Müller, U

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 03/08323

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

| Category * | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|------------|--|-----------------------|
| A | EP 0 344 998 A (BRITISH TELECOMM) 6 December 1989 (1989-12-06) figure 2 | 1-10 |
| A | US 5 625 360 A (GARRITY DOUGLAS A ET AL) 29 April 1997 (1997-04-29) figure 1 | 1-10 |
| A | PATENT ABSTRACTS OF JAPAN vol. 017, no. 531 (E-1438), 24 September 1993 (1993-09-24) & JP 05 145423 A (SONY CORP), 11 June 1993 (1993-06-11) abstract | 1-10 |

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP 03/08323

| Patent document cited in search report | Publication date | Patent family member(s) | Publication date |
|---|---------------------|----------------------------|--|
| US 5323157 | A | 21-06-1994 | NONE |
| EP 0344998 | A | 06-12-1989 | AT 115341 T 15-12-1994 AU 638674 B2 08-07-1993 AU 3696589 A 05-01-1990 AU 4885393 A 09-12-1993 CA 1334872 C 21-03-1995 DE 68919752 D1 19-01-1995 DE 68919752 T2 18-05-1995 DK 284490 A 29-11-1990 EP 0344998 A1 06-12-1989 EP 0604397 A2 29-06-1994 WO 8912358 A1 14-12-1989 JP 3504788 T 17-10-1991 US 5008674 A 16-04-1991 |
| US 5625360 | A | 29-04-1997 | NONE |
| JP 05145423 | A | 11-06-1993 | NONE |

INTERNATIONALE RESEARCHENBERICHT

Internationales Aktenzeichen

PCT/EP 03/08323

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 H03M1/00

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H03M

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

| Kategorie* | Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile | Betr. Anspruch Nr. |
|------------|--|--------------------|
| X | JANSSON C ET AL: "A 1-MHz and 16-bit /spl Sigma//spl Delta/ DAC with a 224th-order reconstruction FIR-filter using only 9 nonzero taps" ASIC CONFERENCE AND EXHIBIT, 1994. PROCEEDINGS., SEVENTH ANNUAL IEEE INTERNATIONAL ROCHESTER, NY, USA 19-23 SEPT. 1994, NEW YORK, NY, USA, IEEE, 19. September 1994 (1994-09-19), Seiten 29-32, XP010140531 ISBN: 0-7803-2020-4 Abbildung 5A | 1-10 |
| X | US 5 323 157 A (IRWIN JAMES S ET AL) 21. Juni 1994 (1994-06-21) Abbildung 3 | 1-10 |



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

* & * Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der Internationalen Recherche

18. Dezember 2003

Absenddatum des internationalen Recherchenberichts

14/01/2004

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Müller, U

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

| Kategorie* | Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile | Betr. Anspruch Nr. |
|------------|--|--------------------|
| A | EP 0 344 998 A (BRITISH TELECOMM) 6. Dezember 1989 (1989-12-06) Abbildung 2 ---- | 1-10 |
| A | US 5 625 360 A (GARRITY DOUGLAS A ET AL) 29. April 1997 (1997-04-29) Abbildung 1 ---- | 1-10 |
| A | PATENT ABSTRACTS OF JAPAN vol. 017, no. 531 (E-1438), 24. September 1993 (1993-09-24) & JP 05 145423 A (SONY CORP), 11. Juni 1993 (1993-06-11) Zusammenfassung ----- | 1-10 |

INTERNATIONALER RESEARCHBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP 03/08323

| Im Recherchenbericht angeführtes Patentdokument | Datum der Veröffentlichung | Mitglied(er) der Patentfamilie | Datum der Veröffentlichung |
|--|-------------------------------|-----------------------------------|-------------------------------|
| US 5323157 | A | 21-06-1994 | KEINE |
| EP 0344998 | A | 06-12-1989 | AT 115341 T 15-12-1994 |
| | | AU 638674 B2 08-07-1993 | |
| | | AU 3696589 A 05-01-1990 | |
| | | AU 4885393 A 09-12-1993 | |
| | | CA 1334872 C 21-03-1995 | |
| | | DE 68919752 D1 19-01-1995 | |
| | | DE 68919752 T2 18-05-1995 | |
| | | DK 284490 A 29-11-1990 | |
| | | EP 0344998 A1 06-12-1989 | |
| | | EP 0604397 A2 29-06-1994 | |
| | | WO 8912358 A1 14-12-1989 | |
| | | JP 3504788 T 17-10-1991 | |
| | | US 5008674 A 16-04-1991 | |
| US 5625360 | A | 29-04-1997 | KEINE |
| JP 05145423 | A | 11-06-1993 | KEINE |